

1. Bezpośredni tryb adresowania występuje w instrukcji: **mov zmienna, edx**
2. By wykryć, że pierwszy argument (U2) porównania jest mniejszy lub równy wykonamy: **jng**
3. By wykryć, że pierwszy argument (U2) porównania jest większy wykonamy: **jnl**
4. Dla wartości całkowitej występuje dla liczb zmiennoprzecinkowych: **rozszerzonej precyzji**
5. Do odwołania się do parametrów aktualnych stosuje się rejestr: **CS**
6. Do odwołania się do zmiennych lokalnych stosuje się rejestr: **EBP**
7. Do odwołania się do parametrów aktualnych stosuje się rejestr: **SS**
8. Do odwołania się do zmiennych lokalnych stosuje się rejestr: **Ebp**
9. Do prostego szyfrowania danych może służyć instrukcja- **Xlatb**
10. Do przeszukiwania bitów wstecz służy instrukcja: **bsr Przeszukiwanie bitów wstecz**
11. Do zmiany kolejności słów w rejestrze MMX służy instrukcja: **Pushfw**
12. Dwa rdzenie po raz pierwszy pojawiły się w procesorze: **Pentium 4**
13. Głównym konstruktorem procesora 8086 był: **Stephen Morse**
14. Ile cyfr dziesiętnych posiada stosowany przez procesory Intel typ BCD-11
15. Ile etapów przetwarzania rozkazu występuje w Intel Pentium III: **12**
16. Ile instrukcji na słowach może wykonać jedna instrukcja MMX- **4**
17. Ile operacji na bajtach może wykonać jedna instrukcja MMX **8**
18. Ile rejestrów indeksowych występuje w trybie EM64T procesorów Intel- **2**
19. Ile rejestrów ogólnego przeznaczenia dołożono w trybie EMT64T procesorów Inte- **4**
20. Ile rejestrów segmentowych występuje w trybie EM64T procesorów Intel? **6**
21. Ile rejestrów XMM posiadają w trybie EMT64T procesory Intel- **ie ma takich rejestrów**
22. Ile rejestrów XMM występuje w trybie EM64T procesorów Intel? **16**
23. Instrukcja add al,80h w programie add al,bl...neguje flagi: **SF i CF**
24. Instrukcja cpuid zmienia rejestry: a. eax; ebx; ecx; edx
- 25.
26. Instrukcja dec zmienia flagi: **OSZAP**
27. Instrukcja niezminiająca flag to: **xchg**
28. Instrukcja włączająca przerwania to: **sti**
29. Instrukcja zamieniająca liczbę bez znaku na podwójne słowo **movsx**
30. Instrukcja zamieniająca liczbę ze znakiem bajt na podwójne słowo **movzx**
31. Przesunięcie arytmetyczne w lewo realizuje instrukcja **sal**
32. Instrukcja zmieniająca rejestr flag to: **fcomip**
33. Instrukcja zmieniająca rejestr flag to: **Popf**
34. Instrukcje łańcuchowe używają segmentów: ES i CS - **ES na pewno**
35. Instrukcje SSE Intel wprowadził po raz pierwszy w procesorze **Pentium III**
36. Instrukcje SSE2 Intel wprowadził po raz pierwszy w procesorze **Pentium IV**
37. Instrukcje AVX Intel wprowadził po raz pierwszy w procesorze: **Sandy Bridge**
38. Jaki tryb adresowania występuje w instrukcji : **mov ebx, 0ea4h natychmiastowy**
39. Jaki tryb adresowania występuje w instrukcji: mov ebx, eax – **żadna**
40. Jakie wartości przyjmą flagi po wykonaniu instrukcji: **c. Z=1;C=1;P=1;**

41. Jakie wartości przyjmą flagi po wykonaniu instrukcji: **mov ax, 65530 ADD AX,6 Z=1, C=1, P=1**
42. Jakie wartości przyjmują flagi po wykonaniu instrukcji: **mov ax,65530 add ax,9- Z=0;C=1; P=1**
43. Jednostka zarządzania pamięcią w procesorach Intel została wprowadzona w: **80386**
44. Kopiując tekst użyjemy instrukcji: **Movsb**
45. Kopiując tekst używamy instrukcji **stosb**
46. Koprocesor matematyczny został wbudowany po raz pierwszy przez Intel'a w procesor: **80486DX**
47. Która komenda nie zmienia flagi P: **NOT**
48. Która z instrukcji jest poprawna: **movsx ebx, al;**
49. Która z instrukcji neguje flagę CF: **cmc**
50. Która z instrukcji nie jest poprawna: **fsubp st,st(1)**
51. Która z instrukcji pozwala na poszukiwanie podanego znaku w tekście scasb Prefix LOCK może odnosić się do instrukcji: **xchg**
52. Która z instrukcji tworzy rame stosu: **enter**
53. Która z instrukcji umożliwia dodanie trzech wart. **Xadd**
54. Która z instrukcji wpisuje 1 do flagi CF: **stc**
55. Która z instrukcji zmienia flagę C: **fcomi**
56. Która z instrukcji zmienia flagę Z: **popf**
57. Który z procesorów jako pierwszy mógł współpracować z koprocesorem: **8088 lub 80486 dx**
58. Która instrukcja dla liczb bez znaku zmienia bajt na podwójne słowo: **Movzx sample: movzx edx, al;**
59. **Która instrukcja** jest poprawna: **movsx eax, bx**
60. Która instrukcja nie jest poprawna: **Fcmovl**
61. Która instrukcja nie zmienia flagi CF: **inc** (zmienia flagi Wpływa na flagi: OSZAP)
62. Która instrukcja pozwala dodać zawartość dwu rejestrów i stałej: **lea**
63. Która z instrukcji dla liczb ze znakiem przesyła dla warunku mniejszość? Cmovnge – ani większe ani równe – **czyli mniejsze**
64. Która z instrukcji dla liczb ze znakiem przesyła dla warunku większości? **Cmovnle**
65. Która z instrukcji jest poprawna? **Movsx eax,bx**
66. Która z instrukcji nie jest poprawna: **faddp ST, ST(1)**
67. Która z instrukcji nie zmienia flagi CF? **Inc flagi OSZAP**
68. Która z instrukcji nie zmienia flagi Z: **Ficom flagi C3 C2 C0**
69. Która z instrukcji pozwala na poszukiwanie podanego znaku w tekście? **Scasb**
70. Która z instrukcji umożliwia wpisanie wartości do dwóch rejestrów **LDS**
71. Która z instrukcji wpisuje 0 do flagi CF: **clc**
72. Która z instrukcji zmienia flagę C - **Fcomi**
73. Maksymalna częstotliwość taktowania procesora 4004 firmy Intel to: **740 kHz**
74. Natychmiastowy tryb adresowania występuje w instrukcji: **mov edi, offset tabela**
- 75.
76. o wykonaniu, której instrukcji zawartość AL. zmieni się z 0c9h na 92h-**ahl al. ,1**
77. Pakowanie z nasyceniem podwójnych słów ze znakiem do słów realizuje instrukcja **packssdw**

78. Pierwszy procesor firmy Intel powstał w roku: **1971**
79. Pierwszym procesorem 32 bitowym linii x86 był procesor: **80386**
80. Po wykonaniu instrukcji- **019a450fh**
81. Po wykonaniu instrukcji `mov eax,0f0f0f0fh mov edx,12345678h not ax inc dx or edx,eax` rejestr `edx` będzie zawierał- **01f3ff6f9h**
82. Po wykonaniu instrukcji `mov edx, 0f459a01h bswap edx` rejestr `edx` będzie zawierał **019a450fh**
83. Po wykonaniu instrukcji `xor eax,eax not ax ror eax,8` rejestr `eax` będzie zawierał:**0ff0000ffh**
84. Po wykonaniu instrukcji: `mov ecx; 01020304h bswap ecx; and ecx 0FBF4FcFBh; mov eax, 07654321h; and eax, ecx;` rejestr będzie zawierał: **000000001h**
85. Po wykonaniu instrukcji: `xor eax, eax not eax xor ax,ax ror eax,8` rejestr `eax` będzie zawierał: **0ffff0h**
86. Po wykonaniu której instrukcji zawartość AL zmienia się z `0c9h` na `0e4h`? (nie jestem pewny tych wartości)- **sar al,1;**
87. Po wykonaniu której instrukcji rejestr `edx` będzie zawierał sumę zawartości rejestrów `eax` i `ebx`: **lea edx,[eax+ebx]**
88. Po wykonaniu której instrukcji zawartość AL. zmieni się z `0c9h` na `0cbh`? **or al, 43h**
89. Po wykonaniu której instrukcji zawartość AL. Zmieni się z `0c9h` na `36h` – **not al.**
90. Po wykonaniu, której instrukcji rejestr `edx` będzie zawierał sumę zawartości rejestrów **2*eax** i `ebx`: **lea edx,[2*eax+ebx]**
91. Po wykonaniu, której instrukcji zawartość AL zmieni się na `0cch` na `033h`? **not al**
92. Po wykonaniu, której instrukcji zawartość AL zmieni się z `0c9h` na `93h`? **rol al,1**
93. Po wykonaniu, której instrukcji zawartość AL zmieni się z `0c9h` na `0cbh`? **or al, 43h**
94. Po wykonaniu, której instrukcji zawartość AL. zmieni się z `0c9h` na `0e4h` – **ror al, 1**
- Pośredni bazowy tryb adresowania występuje w instrukcji: **or edx, [ebx+tab]**
95. Pośredni rejestrowy tryb adresowania występuje w instrukcji: **. Or edx, [ebx]**
96. Prefix LOCK może odnosić się do instrukcji- **Xchg**
97. Procesor 8086 powstał w roku:**1978**
98. Procesor 8086 zbudowany jest z: **29 tyś. Tranzystorów**
99. Procesor F14 CAD/C to procesor:**20 bitowy**
100. Procesory Core 2 posiadają współczynnik IPC równy: **3.5**
101. Przesunięcie arytmetyczne w prawo realizuje instrukcja: **sar**
102. Przesunięcie logiczne w lewo realizuje instrukcja **shl**
103. Przesunięcie logiczne w prawo realizuje instrukcja: **shr**
104. Przeszukiwanie bitów w przód realizuje instrukcja: **bsf**
105. Przeszukiwanie bitów wstecz realizuje instrukcja: **bsr**
106. Rejestr `edx` będzie zawierał: **02045070h**
107. Stosując rejestr `IP` do adresowania procesor odwołuje się do segmentu? **CS**
108. Stosując rejestr `BP` do adresowania procesor odwołuje się do segmentu? **SS**
109. Stronicowanie pamięci zostało wprowadzone po raz pierwszy przez Intel'a w procesorze: **80386**

110. Technologia EM64T po raz pierwszy pojawiła się w procesorze: **Pentium 4**
111. W instrukcji `mov ebx, edx` występuje tryb adresowania: **Żaden z pozostałych**
112. W instrukcji: `mov [ebx+edi*8+tablica],edx` występuje tryb adresowania: **pośredni bazowo-indeksowy**
113. W instrukcji: `mov [edi*8+tablica], edx`-**Żadna**
114. W instrukcji: `mov ebx, edx` występuje tryb adresowania: **żaden z pozostałych (nie: pośredni bazowy, pośredni bazowo-indeksowy, bezpośredni, natychmiastowy)**
115. W którym procesorze Intel można obliczyć adres instrukcji w postaci $CS*16+IP$ **8086**
116. W którym procesorze Intel można obliczyć adres instrukcji w postaci $CS*16+IP$ -
wszystkie z powyższych
117. W którym procesorze Intel po raz pierwszy zastosował tryb chorniony- **80286**
118. W trybie 32 bitowym procesorów Intel rejestr wskaźnika instrukcji koprocessora jest:
48 bitowy
119. W trybie 32 bitowym procesorów Intel rejestry segmentowe są? **16 bitowe**
120. Współczesne procesory Intel i7 zbudowane są z około- **Żadne z powyższych**
121. Wykonanie instrukcji `Push [edx] Pop [ebx]` Odpowiada instrukcji: **Żadne z powyższych**
122. Wykonanie instrukcji `xor eax,eax` odpowiada instrukcji: **And eax,0**
123. Wykonując instrukcję `push byte ptr*eax+` procesor używa segmentów- **CS i DS ?**.
124. Po wykonaniu której instrukcji zawartość AL. Zmieni się z 0c9h na 92h? **Shl al,1**
125. Po wykonaniu, której instrukcji zawartość AL. zmieni się z 0c9h na 0e4h? **Ror al,1**
126. Po wykonaniu, której instrukcji rejestr `edx` będzie zawierał sumę zawartości rejestrów **2*eax i ebx: Lea edx, [2*eax + ebx]**